

日本国特許庁
JAPAN PATENT OFFICE

Priority
Paper
7-Stepfile
6-10

10/077767
02/20/02
JC979 U.S. PRO

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2001年 9月 6日

出願番号
Application Number:

特願2001-270720

出願人
Applicant(s):

三菱電機株式会社

特許庁長官
Commissioner,
Japan Patent Office

2001年 9月 27日

及川耕造



出証番号 出証特2001-3088717

【書類名】 特許願
 【整理番号】 530052JP01
 【提出日】 平成13年 9月 6日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 27/00
 H01L 27/10

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
 社内

【氏名】 添田 真也

【特許出願人】

【識別番号】 000006013
 【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089118

【弁理士】

【氏名又は名称】 酒井 宏明

【手数料の表示】

【予納台帳番号】 036711
 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9803092
 【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および半導体装置の製造方法

【特許請求の範囲】

【請求項1】 半導体基板上に抵抗素子群を有し、前記抵抗素子群を有する領域の上層に金属配線層を有する半導体装置において、

前記抵抗素子群と前記金属配線層との間にシールド層を設けたことを特徴とする半導体装置。

【請求項2】 半導体基板上に信号配線層を有する半導体装置において、前記信号配線層の上層および／または下層にシールド層を設けたことを特徴とする半導体装置。

【請求項3】 前記半導体装置は、少なくともDRAM領域とロジック領域とを有し、

前記DRAM領域におけるゲート電極層と共に通する層を、前記ロジック領域におけるシールド層として用いることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記半導体装置は、少なくともDRAM領域とロジック領域とを有し、

前記DRAM領域におけるビット線層と共に通する層を、前記ロジック領域におけるシールド層として用いることを特徴とする請求項1または2に記載の半導体装置。

【請求項5】 前記半導体装置は、少なくともスタッカキヤパシタを有するDRAM領域とロジック領域とを有し、

前記DRAM領域におけるスタッカキヤパシタは、下部キヤパシタ電極層、誘電膜および上部キヤパシタ電極層からなり、

前記DRAM領域における上部キヤパシタ電極層と共に通する層を、前記ロジック領域におけるシールド層として用いることを特徴とする請求項1または2に記載の半導体装置。

【請求項6】 請求項1～5のいずれか一つに記載の半導体装置において、前記シールド層の電位を固定したことを特徴とする半導体装置。

【請求項7】 少なくともDRAM領域とロジック領域とを有し、前記ロジ

ック領域に抵抗素子群を有する半導体装置の製造方法において、
前記ロジック領域に抵抗素子群を形成する第1の工程と、
前記DRAM領域および前記ロジック領域にシールド層を形成する第2の工程
と、
前記ロジック領域における前記抵抗素子群を有する領域の上層に金属配線層を
形成する第3の工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項8】 少なくともDRAM領域とロジック領域とを有し、前記ロジ
ック領域に信号配線層を有する半導体装置の製造方法において、
前記ロジック領域に信号配線層を形成する第1の工程と、
前記DRAM領域および前記ロジック領域に、前記信号配線層の上層および／
または下層にシールド層を形成する第2の工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項9】 前記シールド層は、ゲート電極層であることを特徴とする請
求項8に記載の半導体装置の製造方法。

【請求項10】 前記シールド層は、ビット線層であることを特徴とする請
求項7または8に記載の半導体装置の製造方法。

【請求項11】 前記DRAM領域に、下部キャパシタ電極層、誘電膜およ
び上部キャパシタ電極層からなるスタッカキヤパシタを形成し、前記キャパシタ
電極層を、前記シールド層とすることを特徴とする請求項7または8に記載の半
導体装置の製造方法。

【請求項12】 前記シールド層の電位を固定する第4の工程をさらに含む
ことを特徴とする請求項7～11のいずれか一つに記載の半導体装置の製造方法
。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、抵抗素子群や信号線領域を有する多層配線型の半導体装置および
その製造方法に関し、より詳細には、抵抗素子群内での抵抗値の相対的変動を防

止し、信号配線の上層または下層の配線パターンからの影響による配線容量（浮遊容量）の変動を防止できる半導体装置および半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

従来から、電気機器制御や映像／音声信号処理は、メモリ、マイコン、ロジック間でのデータやりとりで行われているが、プロセス／設計両技術の進歩により、これらLSIを1チップ化したeRAM (embedded RAM) が新しいデバイス（システムLSI）として大きな注目を集めてきた。ASICやマイコンと大容量のメモリを一体化させたeRAMは、汎用のメモリやマイコンの組み合わせに比較して、機器をコンパクトにできるだけでなく、バス幅拡大によるデータ転送の高速化や低消費電力化が実現できる。

【0003】

このように半導体装置がますます微細化され素子構造が複雑になり、またロジック系の多層配線の層数が増えるに伴い、抵抗素子群や信号線領域の上層または下層の配線パターンの有無によって、半導体製造中におけるシンタリングによる熱的影響や層間膜厚の差による浮遊容量の変動の影響、半導体作動時における電気的影響の問題が生じ、ロジック領域に設けられた抵抗素子群や信号線領域を安定的に作動させることができるか否かがますます重要になっている。

【0004】

図6 (a) は、従来から使用されているDRAM混載ロジックの平面図であり、このDRAM混載ロジックは、DRAM領域E1とロジック領域E2とを有する。図13および図14は、図6 (a) に記載したDRAM混載ロジックの第1A1配線層までの構造を示すA-A'線断面図である。この種のDRAMとロジックとの混載デバイスにおいては、DRAM領域E1には、ある程度の高さを有する円筒形状のスタッカキャパシタ（コンケーブ）が形成される。スタッカキャパシタは、下部キャパシタ電極層122、誘電膜123および上部キャパシタ電極層124から構成される。

【0005】

図13は、ロジック領域E2に拡散抵抗の集合からなる抵抗素子群を有する領域を含むDRAM混載ロジック一例を示す図である。ロジック領域E2に配置された抵抗素子群は付加抵抗等に使用するために形成されるものであり、図13において、抵抗素子群は半導体基板の主表面に互いに離間して平行に延在する帯状の分離酸化膜105と、それら帯状の分離酸化膜105の間に延在するN⁺拡散領域104とからなる。ロジック領域E2における抵抗素子群の上層には第1A1配線層129が形成されている。

【0006】

図14は、ロジック領域E2に信号配線を有する領域を含むDRAM混載ロジックの一例を示す図である。図14において、ロジック領域E2には2層の異なる信号配線が形成されており、DRAM領域E1におけるビット線126と共通する層を利用して形成された信号配線126aと、DRAM領域E1におけるゲート電極と共通する層を利用して形成された信号配線108aとからなる。信号配線108a, 126aを有する領域の上には第1A1配線層129が形成されている。

【0007】

【発明が解決しようとする課題】

しかしながら、従来技術では、ロジック領域E2の配線の層数が増えるに伴い、ロジック領域E2に設けられた抵抗素子群や信号配線が、その上層または下層に設けられたパターン配置の影響を受けるため、次のような問題が発生する。

【0008】

まず、上層部の第1A1配線層129のパターンの有無によって、抵抗素子群内の相対抵抗値が変動してしまうといった問題がある。例えば、製造工程中にエッチング等によって生じた基板上の欠陥を第1A1配線形成以降のシンタリングによって回復させる際、上層部の第1A1配線層129のパターンの有無によって、基板上の欠陥の回復が不均一となり、抵抗素子表面での界面準位のトラップが抵抗素子群内で不均一となり、アナログ回線等での抵抗素子群の相対抵抗の変動が問題となる（図13）。

【0009】

つぎに、第1A1配線層129下の信号配線108a, 126aのパターン配置により、信号パターンを有する部位と信号パターンを有しない部位との間で、第1A1配線層129下の層間膜厚に差が生じ、下地に対する浮遊容量が変動し、回路設計時のシミュレーションとの差異が生じる（図14）。特に、信号配線等の変化が望ましくないパターンでは、浮遊容量の変動が大きな問題となる。また、半導体作動時に、信号配線が上層または下層に設けられた他の信号配線のパターンによって電気的影響を受けるため、安定した信号回路が得られないといった問題がある。

【001.0】

この発明は上記に鑑みてなされたものであって、相対抵抗値の変動、浮遊容量の変動を防止し、他層のパターンに影響されない安定した抵抗素子群や信号線領域を有する半導体装置を得ることを目的とする。

【001.1】

【課題を解決するための手段】

上記目的を達成するため、この発明にかかる半導体装置は、半導体基板上に抵抗素子群を有し、前記抵抗素子群を有する領域の上層に金属配線層を有する半導体装置において、前記抵抗素子群と前記金属配線層との間にシールド層を設けたことを特徴とする。

【001.2】

この発明によれば、抵抗素子群と金属配線層との間にシールド層を設けることによって、金属配線層形成後のシンタリングの際、上層部の金属配線層のパターンの有無によって抵抗素子表面での界面準位のトラップが抵抗素子群内で不均一となるのを防止できるため、抵抗素子群で相対抵抗が変動するのを防止できる。

【001.3】

つぎの発明にかかる半導体装置は、半導体基板上に信号配線層を有する半導体装置において、前記信号配線層の上層および／または下層にシールド層を設けたことを特徴とする。

【001.4】

この発明によれば、信号配線層の上層および／または下層にシールド層を設け

ることにより、下地に対する浮遊容量が変動するのを防止するとともに、他の信号配線のパターンによる電気的影響を防ぎ、信号回路を安定させることができる。

【0015】

つぎの発明にかかる半導体装置は、上記の発明において、少なくともDRAM領域とロジック領域とを有し、前記DRAM領域におけるゲート電極層と共通する層を、前記ロジック領域におけるシールド層として用いることを特徴とする。

【0016】

この発明によれば、前記DRAM領域におけるゲート電極層と共通する層を、前記ロジック領域におけるシールド層として用いることにより、特別にシールド層を設けなくてもロジック領域における抵抗素子群および／または信号配線層を保護することができる。

【0017】

つぎの発明にかかる半導体装置は、上記の発明において、少なくともDRAM領域とロジック領域とを有し、前記DRAM領域におけるビット線層と共通する層を、前記ロジック領域におけるシールド層として用いることを特徴とする。

【0018】

この発明によれば、前記DRAM領域におけるビット線層と共通する層を、前記ロジック領域におけるシールド層として用いることにより、特別にシールド層を設けなくてもロジック領域における抵抗素子群および／または信号配線層を保護することができる。

【0019】

つぎの発明にかかる半導体装置は、上記の発明において、少なくともスタッキヤパシタを有するDRAM領域とロジック領域とを有し、前記DRAM領域におけるスタッキヤパシタは、下部キヤパシタ電極層、誘電膜および上部キヤパシタ電極層からなり、前記DRAM領域における上部キヤパシタ電極層と共通する層を、前記ロジック領域におけるシールド層として用いることを特徴とする。

【0020】

この発明によれば、前記DRAM領域における上部キヤパシタ電極層と共通す

る層を、前記ロジック領域におけるシールド層として用いることにより、特別にシールド層を設けなくてもロジック領域における抵抗素子群および／または信号配線層を保護することができる。

【0021】

つぎの発明にかかる半導体装置は、上記の発明において、前記シールド層の電位を固定したことを特徴とする。

【0022】

この発明によれば、シールド層を電位固定することによって、抵抗素子群および／または信号配線層から他の信号配線の電気的影響を防ぐことができる。

【0023】

つぎの発明にかかる半導体装置の製造方法は、少なくともDRAM領域とロジック領域とを有し、前記ロジック領域に抵抗素子群を有する半導体装置の製造方法において、前記ロジック領域に抵抗素子群を形成する第1の工程と、前記DRAM領域およびロジック領域にシールド層を形成する第2の工程と、前記ロジック領域における前記抵抗素子群を有する領域の上層に金属配線層を形成する第3の工程と、を含むことを特徴とする。

【0024】

この発明によれば、ロジック領域における抵抗素子群と金属配線層との間にシールド層を設ける際、DRAM領域とロジック領域とに同時にシールド層を形成するため、シールド層形成に要する製造工程を簡略化できる。

【0025】

つぎの発明にかかる半導体装置の製造方法は、少なくともDRAM領域とロジック領域とを有し、前記ロジック領域に信号配線層を有する半導体装置の製造方法において、前記ロジック領域に信号配線層を形成する第1の工程と、前記DRAM領域およびロジック領域に、前記信号配線層の上層および／または下層にシールド層を形成する第2の工程と、を含むことを特徴とする。

【0026】

この発明によれば、ロジック領域における信号配線層の上層および／または下層にシールド層を設ける際、DRAM領域とロジック領域とに同時にシールド層

を形成するため、シールド層形成に要する製造工程を簡略化できる。

【0027】

つぎの発明にかかる半導体装置の製造方法は、上記の発明において、前記シールド層は、ゲート電極層であることを特徴とする。

【0028】

この発明によれば、ゲート電極層をシールド層として用いることにより、特別にシールド層を設ける必要がなくなるため、シールド層形成に要する製造工程をより一層簡略化できる。

【0029】

つぎの発明にかかる半導体装置の製造方法は、上記の発明において、前記シールド層は、ビット線層であることを特徴とする。

【0030】

この発明によれば、ビット線層をシールド層として用いることにより、特別にシールド層を設ける必要がなくなるため、シールド層形成に要する製造工程をより一層簡略化できる。

【0031】

つぎの発明にかかる半導体装置の製造方法は、上記の発明において、前記DRAM領域に、下部キャパシタ電極層、誘電膜および上部キャパシタ電極層からなるスタックキャパシタを形成し、前記キャパシタ電極層を、前記シールド層とすることを特徴とする。

【0032】

この発明によれば、上部キャパシタ電極層をシールド層として用いることにより、特別にシールド層を設ける必要がなくなるため、シールド層形成に要する製造工程をより一層簡略化できる。

【0033】

つぎの発明にかかる半導体装置の製造方法は、上記の発明において、前記シールド層の電位を固定する第4の工程をさらに含むことを特徴とする。

【0034】

この発明によれば、シールド層を電位固定することによって、抵抗素子群およ

び／または信号配線層から他の信号配線の電気的影響を防ぐことができる。

【0035】

【発明の実施の形態】

以下に、添付の図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。

【0036】

実施の形態1.

図1は、実施の形態1である半導体装置の構造を示す断面図である。この実施の形態1の半導体装置は、DRAM領域E1とロジック領域E2とを有する。なお、図1では、簡略化して第1の金属配線A1配線層129までしか示していないが、一般には、3～6層程度の金属配線が用いられている。

【0037】

図1において、100はP型Si等からなる半導体基板、101はボトムNウェル領域、102はP型ウェル領域、103はソース・ドレイン領域、104はN⁺拡散領域、105は分離酸化膜、106は酸化膜からなる素子分離領域である。抵抗素子群は半導体基板100の主表面に互いに離間して平行に延在する帯状の分離酸化膜105と、それら帯状の分離酸化膜105の間に延在するN⁺拡散領域104とからなる。

【0038】

107はシリコン酸化膜で形成されるゲート酸化膜、108はリンドープドポリシリコン等で形成されるポリシリコン膜、109はタンゲステンシリサイド(WSi₂)等で形成されるシリサイド層である。ポリシリコン膜108およびシリサイド層109は、トランジスタのゲート電極(ワード線)を構成する。また、110、111は前記トランジスタのゲート電極を覆う絶縁膜であり、112、113はサイドウォールであり、110および112はシリコン酸化膜、111および113はシリコン窒化膜が用いられる。

【0039】

また、115はBPSG(Boro-Phospho-Silicate-Glass)等からなる層間絶縁膜、116は窒化膜からなる層間絶縁膜である。114、121はリンドープ

ドポリシリコン等のポリシリコン膜から成るプラグであり、ソース・ドレイン領域103とビット線126とを電気的に接続する。

【0040】

DRAM領域E1において、122がリンドープポリシリコン等で形成される下部キャパシタ電極層、123がシリコン酸化膜やシリコン窒化酸化膜等で形成されるキャパシタ誘電膜、124がリンドープポリシリコン等で形成される上部キャパシタ電極層である。117～119は、酸化膜等からなる層間絶縁膜である。120はTEOS (Tetraethoxysilane) 等からなる層間絶縁膜である。

【0041】

下部キャパシタ電極層122および上部キャパシタ電極層124はキャパシタ誘電膜123によって電気的に絶縁されており、下部キャパシタ電極層122、キャパシタ誘電膜123および上部キャパシタ電極層124で円筒形状のスタックキャパシタを構成している。125はTiN/Ti等からなるバリアメタル、126はメモリセルからデータを取り出すためのビット線であり、タンゲステン(W)等からなる。プラグ114、121を介してソース・ドレイン領域103とスタックキャパシタの下部キャパシタ電極層122とが接続されている。

【0042】

このDRAM領域E1において、メモリセルは、ゲート電極、ソースおよびドレイン等から成るMOSトランジスタおよび上記スタックキャパシタで構成される。

【0043】

ロジック領域E2において、127はTiN/Ti等からなるバリアメタル、129はAlCu等からなる第1A1配線層、128が第1A1配線層129とビット線126とを接続する金属プラグ(ここではWプラグ)である。なお、金属プラグ128はメモリセル部にも用いられることがある。

【0044】

次に、この発明の実施の形態1のDRAM領域E1とロジック領域E2とからなる半導体装置の製造工程について説明する。図2～図5は、実施の形態1である半導体装置の製造工程を示す工程断面図である。図2～図5においても、図面

左側がDRAM領域E1であり、図面右側がロジック領域E2に対応する。なお、ここでは、DRAM領域E1にMOSトランジスタを形成するとともに、ロジック領域E2に抵抗素子群を形成した後の製造方法を説明し、それ以前の工程の説明は、通常の半導体プロセス技術によって行われる。

【0045】

まず、DRAM領域E1にゲート電極、ソースおよびドレイン等から成るMOSトランジスタを形成するとともに、ロジック領域E2に帯状の分離酸化膜105とその間に延在するN⁺拡散領域104からなる抵抗素子群を形成する(図2(a))。

【0046】

MOSトランジスタが埋設されるようにBPSG115および窒化膜116を積層し、セルフアラインコンタクトにより、コンタクトホール114aを開孔してソース・ドレイン領域103と開通し、コンタクトホール114aにリンドープドポリシリコン114を充填して、コンタクトを形成する(図2(b))。

【0047】

次に、酸化膜からなる層間絶縁膜117を形成し、ビット線を形成する部分にコンタクトホールを開口し、バリアメタル(TiN/Ti)125、タンゲステン(W)126を成膜する(図2(c))。

【0048】

次に、フォトレジスト132を用いて写真製版を行い(図3(a))、バリアメタル(TiN/Ti)125、W126をエッチングして、DRAM領域E1にビット線のパターンを形成する(図3(b))。すなわち、W126の上にフォトレジスト132を均一に塗布した後、写真製版を行うことでビット線パターンを形成する。この際、ビット線を形成するDRAM領域だけでなく、本来ビット線を形成しないロジック領域E2の抵抗素子群の上層にもパターンを配置することにより、ロジック領域の抵抗素子群の上層にバリアメタル(TiN/Ti)125、W126からなるシールド層を形成する。

【0049】

ここで、図6は、このときの写真製版のマスクパターンの平面図を示している

。図6において、図6（a）は半導体装置全体の平面図であり、図6（b）はDRAM領域E1とロジック領域E2との境界部分の拡大平面図である。図6において、201はビット線パターンのある位置を示し、202はロジック領域E2におけるシールド層パターンのある位置を示している。図6に示したパターンでは、DRAM領域E1にビット線パターン201を設けるだけでなく、通常ビット線パターンを必要としないロジック領域E2の抵抗素子群の上層にもシールド層パターン202を設けることにより、DRAM領域E1におけるビット線と共通する層を利用してロジック領域E2にシールド層を形成している（図6（b））。

【0050】

この時、従来は、ビット線を形成するDRAM領域E1のみにビット線パターンをパターニングしていたため、製造工程中にエッチング等によって生じた基板上の欠陥を第1A1配線層129形成以降のシンタリングによって回復させる際、上層部の第1A1配線層129のパターンの有無によって、基板上の欠陥の回復が不均一となり、抵抗素子表面での界面準位のトラップが抵抗素子群内で不均一となり、アナログ回線等での抵抗素子群の相対抵抗の変動するといった問題が生じていた。

【0051】

これに対し、この実施の形態1では、DRAM領域E1にビット線パターン201を設けるだけでなく、通常ビット線パターンを必要としないロジック領域E2の抵抗素子群の上層にもシールド層パターン202を配置しているので、シンタリング時に上層部の第1A1配線層129のパターンの有無による影響を抑制することができ、上述の問題点を解消できる。

【0052】

なお、図6（b）では、シールド層パターン202を抵抗素子群全体を覆うべタパターンとしているが、抵抗素子群を保護するという、この発明の趣旨に沿う限りシールド層パターンはこれに限定されるものではなく、例えば、シールド層パターン202をメッシュ等にしてもよい。

【0053】

この後、ビット線126が埋設されるように酸化膜からなる層間絶縁膜118を積層し、後の工程でキャパシタが形成される部分にコンタクトホール118aを開口し、コンタクトホール118aにリンドープドポリシリコンを充填してプラグ121を成膜する（図2（c））。

【0054】

次いで、酸化膜からなる層間絶縁膜119を積層し、層間絶縁膜119中に、円筒形状のキャパシタ用ホールを形成する（図4（a））。

【0055】

層間絶縁膜119中に形成したキャパシタ用ホール119aの内壁に、リンドープドポリシリコンなどのドープドポリシリコンまたはドープドアモルファスシリコンからなる下部キャパシタ電極122を設けた後、この下部キャパシタ電極122を覆うようにシリコン酸化膜やシリコン窒化酸化膜等でキャパシタ誘電膜123を形成する。次いで、ポリシリコン等からなる上部キャパシタ電極層124をDRAM領域E1およびロジック領域E2を含む全面に堆積した後、フォトレジスト132を用いて写真製版を行い（図4（b））、上部キャパシタ電極層124をエッチングして、セルプレートパターンを形成する（図5（a））。

【0056】

次いで、半導体基板全面にTEOSからなる層間絶縁膜120を形成し、CMP法を用いて層間絶縁膜120の表面を研磨して平坦化し、ビット線126を利用したロジック領域E2のシールド層を電位固定するため、ロジック領域E2にコンタクトホールを開口する。バリアメタル（TiN/Ti）127、W128を成膜し、再度CMP法を用いて半導体表面のW128、バリアメタル127を研磨して除去し、Wプラグ128を作成する。層間絶縁膜120上に第1A1配線層129を形成する。この際、Wプラグ128上に、第1A1配線層129を形成することにより、シールド層を電位固定する（図5（b））。

【0057】

なお、実施の形態1においては、抵抗素子群としてN⁺拡散領域104と分離酸化膜105からなる拡散抵抗を例に挙げて説明したが、DRAM領域E1におけるゲート線やビット線と共に通する層を利用してロジック領域E2に抵抗素子

群を設けた場合でも、DRAM領域E1における層と共に通する層を利用して抵抗素子群と第1A1配線層129との間にシールド層を設けることができる。例えば、ロジック領域E2にゲート線を利用して抵抗素子群を設ける場合、DRAM領域E1におけるビット線126や上部キャパシタ電極層124からなるシールド層を形成できる。また、ロジック領域E2にビット線を利用して抵抗素子群を設ける場合、DRAM領域E1における上部キャパシタ電極層124からなるシールド層を形成できる。

【0058】

この実施の形態1によれば、ロジック領域E2における抵抗素子群(104, 105)と第1A1配線層129との間に、DRAM領域E1におけるビット線と共に通する層を利用してシールド層を設けることにより、シンタリングによる基板上の欠陥が均一に回復されるため、抵抗素子群の相対抵抗の変動を防止することができる。

【0059】

実施の形態2.

つぎに実施の形態2について説明する。図7は、この実施の形態2である半導体装置の構造を示す断面図である。この実施の形態2の半導体装置は、DRAM領域E1とロジック領域E2とからなり、図1の図面左側はDRAM領域を示し、図面右側はロジック領域を示している。実施の形態1と実施の形態2との共通の符号は同一の構成を示し、ここでは異なる部分のみを詳細に説明する。

【0060】

この実施の形態2は、ロジック領域E2には第1A1配線層129の下層に2層の異なる信号配線が形成されており、DRAM領域E1におけるビット線126と共に通する層を利用して形成された信号配線126aと、DRAM領域E1におけるゲート電極(108, 109)と共に通する層を利用して形成された信号配線108aとからなる。この実施の形態2は、第1A1配線層129とビット線126と共に通する層を利用して形成された信号配線との間に、DRAM領域E1における上部キャパシタ電極層124を利用したシールド層を設けたことを特徴とする。これにより、第1A1配線層129の層間膜厚が均一となるため、下層

の信号配線パターンの配置の有無によって、浮遊容量の変動が生じるのを防止することができる。

【0061】

次に、この発明の実施の形態2のDRAM領域E1とロジック領域E2とからなる半導体装置の製造工程について説明する。図8～図11は、この実施の形態2である半導体装置の製造工程を示す工程断面図である。図8～図11においても、図面左側がDRAM領域であり、図面右側がロジック領域を示している。なお、ここでは、素子分離領域106を形成した後の製造方法を説明し、それ以前の工程は、通常の半導体プロセス技術を用いて行われる。

【0062】

まず、素子分離領域106を形成した後、露出したP型ウエル領域102上にゲート酸化膜107を成長させる。次いで、リンドープドポリシリコン等のポリシリコン膜108、WSi₂等のシリサイド層109、シリコン酸化膜110、シリコン窒化膜111の順に全面に積層する。W126の上にフォトレジスト132を均一に塗布した後、写真製版を行うことでゲート電極パターンを形成する（図8（a））。この実施の形態2においては、ゲート電極（108、109）と共に通する層を利用してロジック領域E2にも配線パターンを設けるため、DRAM領域E1だけでなく、ロジック領域E2にもフォトレジスト132のマスクパターンが設けられている。

【0063】

フォトレジスト132をマスクにして、ゲート酸化膜107、ポリシリコン膜108、シリサイド層109、シリコン酸化膜110、シリコン窒化膜111をエッティングし、DRAM領域E1にゲート電極パターンを形成すると同時に、ロジック領域E2にゲート電極層を利用した配線パターンを形成する。なお、図8（b）に示すように、絶縁層110、111を残しておいてもよい。次いで、得られたゲート電極パターンをマスクにして、イオン注入法により砒素イオン等を基板表面に打ち込み、自己整合的にN型のソース・ドレイン領域103を形成する（図8（b））。

【0064】

その後、ゲート電極にサイドウォール112、113を形成してMOSトランジスタを形成する。この形成されたMOSトランジスタが埋設されるようにBPSG115および窒化膜116を積層した後、セルフアラインコンタクトにより、ソース・ドレイン領域103と開通するコンタクトホール114aを開孔し、コンタクトホール114aにリンドープドポリシリコン114を充填して、コンタクトを形成する(図8(c))。

【0065】

次に、酸化膜からなる層間絶縁膜117を形成し、ビット線を形成する部分にコンタクトホールを開口し、バリアメタル(TiN/Ti)125、W126を成膜する(図9(a))。

【0066】

次に、フォトレジスト132を用いて写真製版を行う。この実施の形態2においては、ビット線126と共通する層を利用してロジック領域E2にも配線パターンを設けるため、DRAM領域E1だけでなく、ロジック領域E2にもフォトレジスト132のマスクパターンが設けられている(図9(b))。

【0067】

次いで、バリアメタル(TiN/Ti)125、W126をエッチングして、DRAM領域E1にビット線126のパターンを形成するとともに、ロジック領域E2に配線パターン126aを形成する(図9(c))。

【0068】

この後、ビット線126が埋設されるように酸化膜からなる層間絶縁膜118を積層し、後の工程でキャパシタが形成される部分にコンタクトホール118aを開口し、コンタクトホール118aにリンドープドポリシリコンを充填してプラグ121を成膜する(図10(a))。

【0069】

次いで、酸化膜からなる層間絶縁膜119を全面に積層し、層間絶縁膜119中に、円筒形状のキャパシタ用ホールを形成する(図10(b))。

【0070】

層間絶縁膜119中に形成したキャパシタ用ホール119aの内壁に、リンド

ープドポリシリコンなどのドープドポリシリコンまたはドープドアモルファスシリコンからなる下部キャパシタ電極層122を設けた後、この下部キャパシタ電極層122を覆うようにシリコン酸化膜やシリコン窒化酸化膜等でキャパシタ誘電膜123を形成する。次いで、ポリシリコン等からなる上部キャパシタ電極層124をDRAM領域E1およびロジック領域E2を含む全面に堆積する（図11（a））。従来は、フォトレジスト132を用いて写真製版を行い、ロジック領域E2における上部キャパシタ電極層124をエッチングしていたが、この発明においては、本来上部キャパシタ電極層124を必要としないロジック領域E2にも上部キャパシタ電極層124を残しておくことにより、上部キャパシタ電極層124をシールド層として利用することを特徴とする。これにより、第1A1配線層129の下地となる層間絶縁膜120の膜厚が均一となるため、下層の信号配線パターンの配置の有無によって、第1A1配線層129に浮遊容量の変動が生じるのを防止することができる。

【0071】

次いで、半導体基板全面にTEOSからなる層間絶縁膜120を形成し、CMP法を用いて層間絶縁膜120の表面を研磨して平坦化し、上部キャパシタ電極層124を電位固定するため、ロジック領域E2にコンタクトホールを開口する。バリアメタル（TiN/Ti）127、W128を成膜し、再度CMP法を用いて半導体表面のW128、バリアメタル127を研磨して除去し、Wプラグ128を作成する。層間絶縁膜120上に第1A1配線層129を形成する。この際、Wプラグ128上に、第1A1配線層129を形成することにより、上部キャパシタ電極層124が電位固定される（図11（b））。

【0072】

なお、この実施の形態2においては、ロジック領域E2における第1A1配線層129の下層の信号配線として、ビット線層126とゲート電極層（108, 109）の2層を用いたが、ビット線層126のみを信号配線として利用してもよいし、ゲート電極層（108, 109）のみを信号配線として利用してもよい。ゲート電極層（108, 109）のみを信号配線として利用する場合、この実施の形態2のようにDRAM領域E1における上部キャパシタ電極層124を利

用してシールド層を設けてもよいが、DRAM領域E1におけるビット線と共通する層を利用してシールド層を設けてもよい。

【0073】

この実施の形態2によれば、第1A1配線層129と下層の信号配線との間に、DRAM領域E1における上部キャパシタ電極層124を利用してシールド層を設けることにより、層間絶縁膜120の膜厚が均一となるため、下層の信号配線パターンの配置の有無によって、第1A1配線層129に浮遊容量の変動が生じるのを防止することができる。また、半導体作動時に、第1A1配線層129と他の信号配線の電気的影響を防止できるため、安定した信号回路が得られる。

【0074】

実施の形態3。

つぎに実施の形態3について説明する。図12は、実施の形態3である半導体装置の構造を示す断面図である。この実施の形態3の半導体装置は、DRAM領域E1とロジック領域E2とからなり、図面左側はDRAM領域E1を示し、図面右側はロジック領域E2を示している。この実施の形態1と実施の形態3の共通の符号は同一の構成を示し、ここでは異なる部分のみを詳細に説明する。

【0075】

この実施の形態3は、実施の形態2の応用例であり、ロジック領域E2には第1A1配線層129の下層に、ビット線126を利用した一層の信号配線が形成されており、ビット線126を利用した信号配線の下層にゲート電極を利用したシールド層を設けるとともに、ビット線126と第1A1配線層129との間に上部キャパシタ電極層124を利用したシールド層を設けたことを特徴とする。すなわち、この実施の形態3において、ビット線を利用した信号配線126aは上層および下層をシールド層で挟まれた形となり、下層の信号配線パターンだけでなく上層の信号配線パターンの配置の有無によっても、浮遊容量の変動が生じるのを防止することができる。

【0076】

この実施の形態3の半導体装置は、ロジック領域E2におけるゲート電極層をベタパターンとした以外は、実施の形態2の半導体装置とほぼ同様の製造工程で

作製することができる。

【0077】

【発明の効果】

以上説明したように、この発明によれば、抵抗素子群と金属配線層との間にシールド層を設けることによって、金属配線層形成後のシンタリングの際、上層部の金属配線層のパターンの有無によって抵抗素子表面での界面準位のトラップが抵抗素子群内で不均一となるのを防止できるため、抵抗素子群で相対抵抗が変動するのを防止できるという効果を奏する。

【0078】

つぎの発明によれば、信号配線層の上層および／または下層にシールド層を設けることにより、下地に対する浮遊容量が変動するのを防止するとともに、上下層の信号配線のパターンによる電気的影響を防ぎ、信号回路を安定させることができるという効果を奏する。

【0079】

つぎの発明によれば、前記DRAM領域におけるゲート電極層と共通する層を、前記ロジック領域におけるシールド層として用いることにより、特別にシールド層を設けなくてもロジック領域における抵抗素子群および／または信号配線層を保護することができるという効果を奏する。

【0080】

つぎの発明によれば、前記DRAM領域におけるビット線層と共通する層を、前記ロジック領域におけるシールド層として用いることにより、特別にシールド層を設けなくてもロジック領域における抵抗素子群および／または信号配線層を保護することができるという効果を奏する。

【0081】

つぎの発明によれば、前記DRAM領域における上部キャパシタ電極層と共通する層を、前記ロジック領域におけるシールド層として用いることにより、特別にシールド層を設けなくてもロジック領域における抵抗素子群および／または信号配線層を保護することができるという効果を奏する。

【0082】

つぎの発明によれば、シールド層を電位固定することによって、抵抗素子群および／または信号配線層から他の信号配線の電気的影響を防ぐことができるという効果を奏する。

【0083】

つぎの発明によれば、抵抗素子群と金属配線層との間にシールド層を設ける際、DRAM領域とロジック領域とに同時にシールド層を形成するため、シールド層形成に要する製造工程を簡略化できるという効果を奏する。

【0084】

つぎの発明によれば、信号配線層の上層および／または下層にシールド層を設ける際、DRAM領域とロジック領域とに同時にシールド層を形成するため、シールド層形成に要する製造工程を簡略化できるという効果を奏する。

【0085】

つぎの発明によれば、ゲート電極層をシールド層として用いることにより、特別にシールド層を設ける工程が必要なくなるため、シールド層形成に要する製造工程をより一層簡略化できるという効果を奏する。

【0086】

つぎの発明によれば、ビット線層をシールド層として用いることにより、特別にシールド層を設ける工程が必要なくなるため、シールド層形成に要する製造工程をより一層簡略化できるという効果を奏する。

【0087】

つぎの発明によれば、上部キャパシタ電極層をシールド層として用いることにより、特別にシールド層を設ける工程が必要なくなるため、シールド層形成に要する製造工程をより一層簡略化できるという効果を奏する。

【0088】

この発明によれば、シールド層を電位固定することによって、抵抗素子群および／または信号配線層から他の信号配線の電気的影響を防ぐことができるという効果を奏する。

【図面の簡単な説明】

【図1】 実施の形態1である半導体装置の構造を示す断面図である。

【図2】 実施の形態1である半導体装置の製造工程を示す工程断面図である。

【図3】 実施の形態1である半導体装置の製造工程を示す工程断面図である。

【図4】 実施の形態1である半導体装置の製造工程を示す工程断面図である。

【図5】 実施の形態1である半導体装置の製造工程を示す工程断面図である。

【図6】 図6(a)は実施の形態1である半導体装置全体の平面図であり、図6(b)は、DRAM領域とロジック領域の境界部分の拡大平面図である。

【図7】 この実施の形態2である半導体装置の構造を示す断面図である。

【図8】 実施の形態2である半導体装置の製造方法を示す工程断面図である。

【図9】 実施の形態2である半導体装置の製造工程を示す工程断面図である。

【図10】 実施の形態2である半導体装置の製造工程を示す工程断面図である。

【図11】 実施の形態2である半導体装置の製造工程を示す工程断面図である。

【図12】 実施の形態3である半導体装置の構造を示す断面図である。

【図13】 ロジック領域に抵抗素子群を有する領域を含む従来のDRAM混載ロジックの構造の一例を示す断面図である。

【図14】 ロジック領域に信号配線を有する領域を含む従来のDRAM混載ロジックの構造の一例を示す断面図である。

【符号の説明】

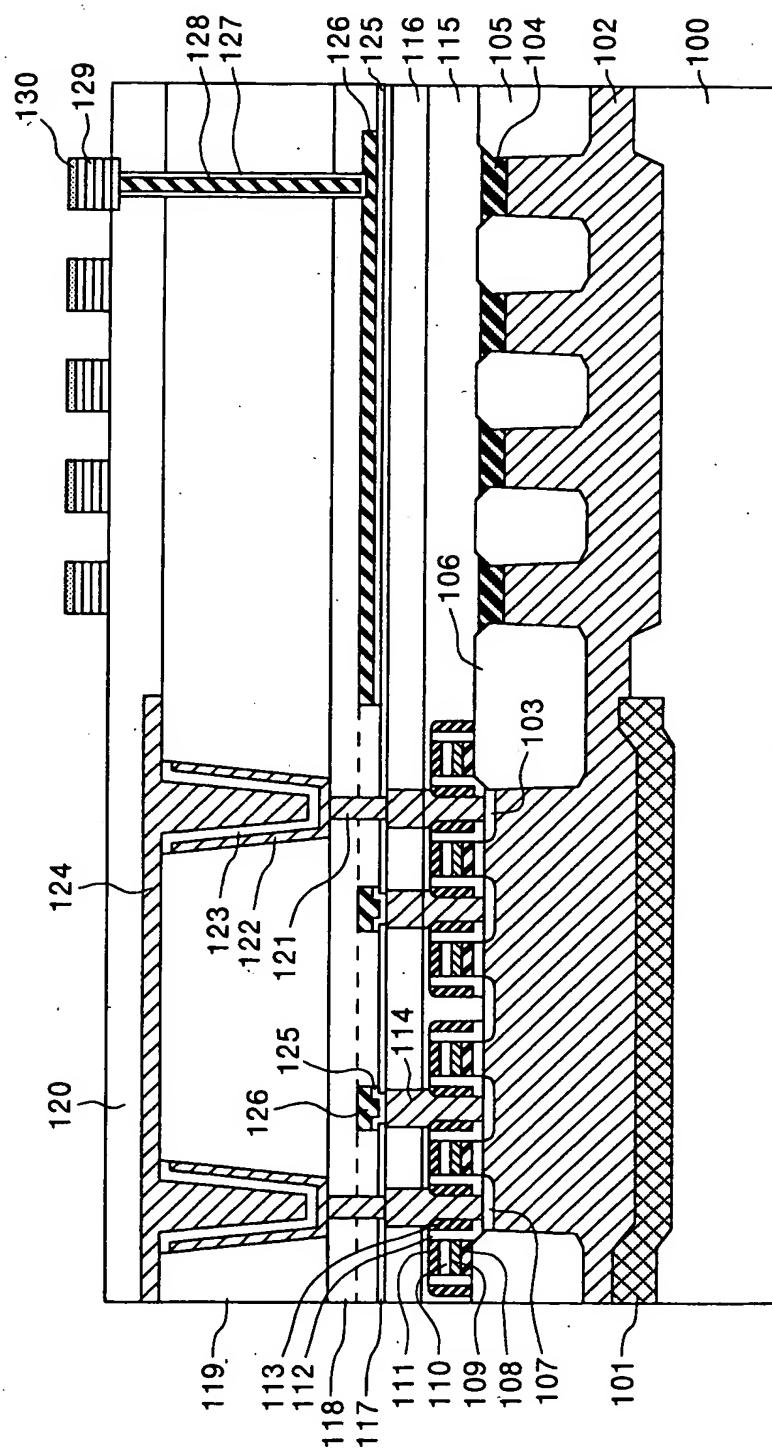
100 半導体基板、101 ボトムNウェル領域、102 P型ウェル領域
、103 ソース・ドレイン領域、104 N⁺拡散領域、105 分離酸化膜
、106 素子分離領域、107 ゲート酸化膜、108 ポリシリコン膜(リ
ンドープドポリシリコン)、109 シリサイド層(WSi₂)、110 絶縁

膜（シリコン酸化膜）、111 絶縁膜（シリコン窒化膜）、112 サイドウォール（シリコン酸化膜）、113 サイドウォール（シリコン窒化膜）、114 プラグ（リンドープドポリシリコン）、115 層間絶縁膜（BPSG）、116 層間絶縁膜（窒化膜）、117 層間絶縁膜（酸化膜）、118 層間絶縁膜（酸化膜）、119 層間絶縁膜（酸化膜）、120 層間絶縁膜（TEOS膜）、121 プラグ（リンドープドポリシリコン）、122 下部キャパシタ電極層（リンドープドポリシリコン）、123 キャパシタ誘電膜（SiON）、124 上部キャパシタ電極層（リンドープドポリシリコン）、125 バリアメタル（TiN/Ti）、126 ビット線（W）、127 バリアメタル（TiN/Ti）、128 プラグ（W）、129 第1A1配線層（AlCu）、132 フォトレジスト、201 ビット線パターン、202 シールド層パターン。

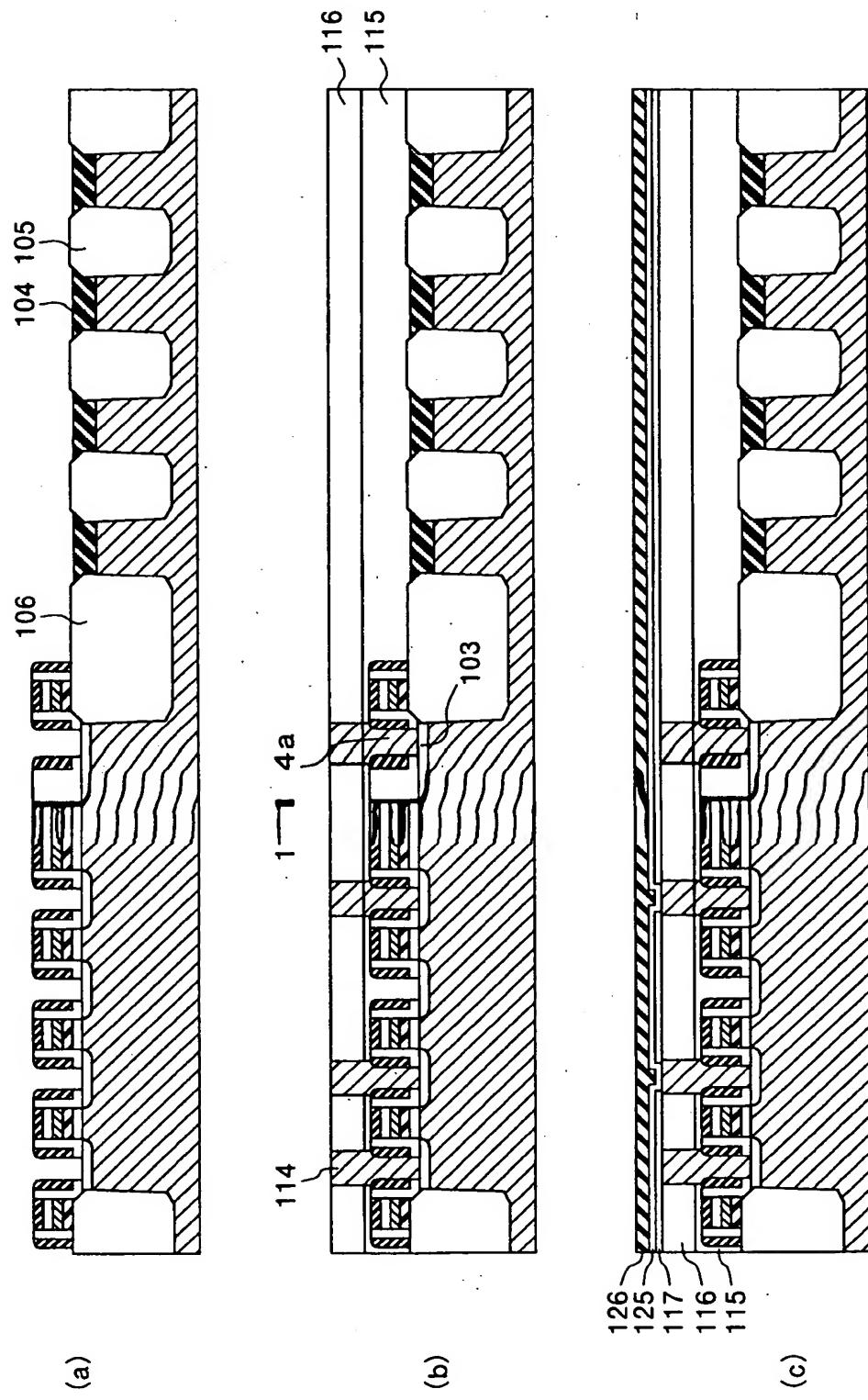
【書類名】

図面

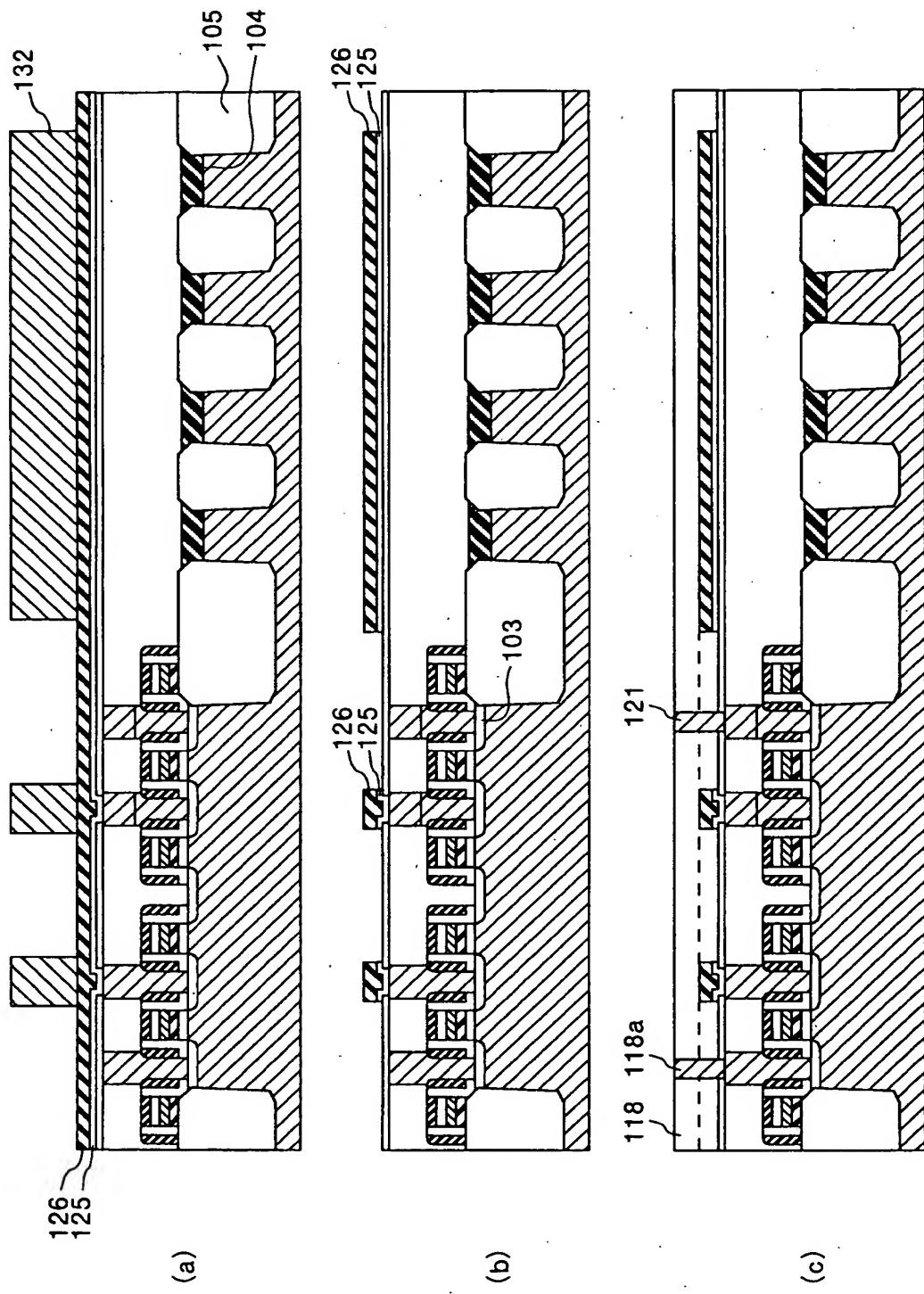
【図1】



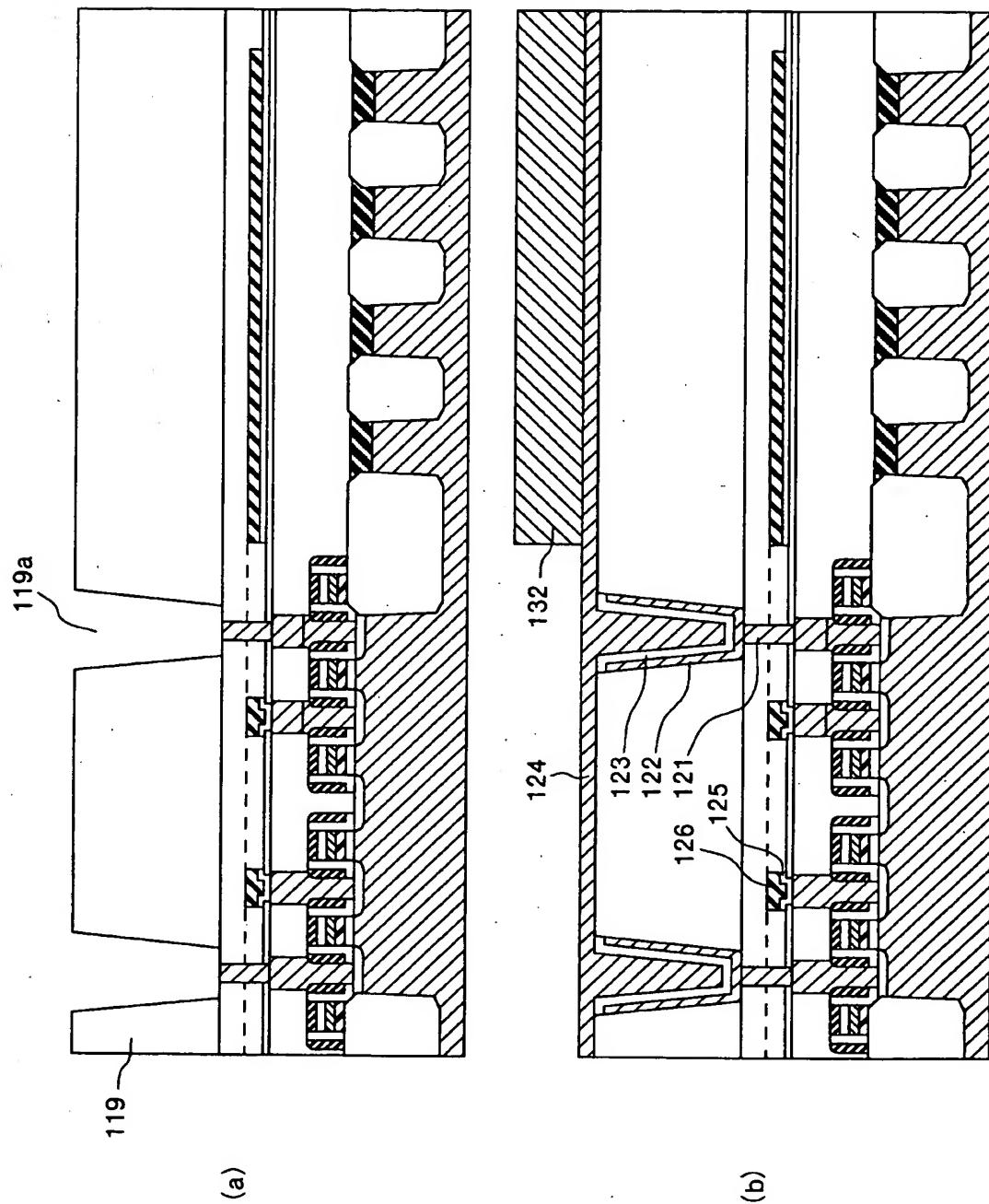
【図2】



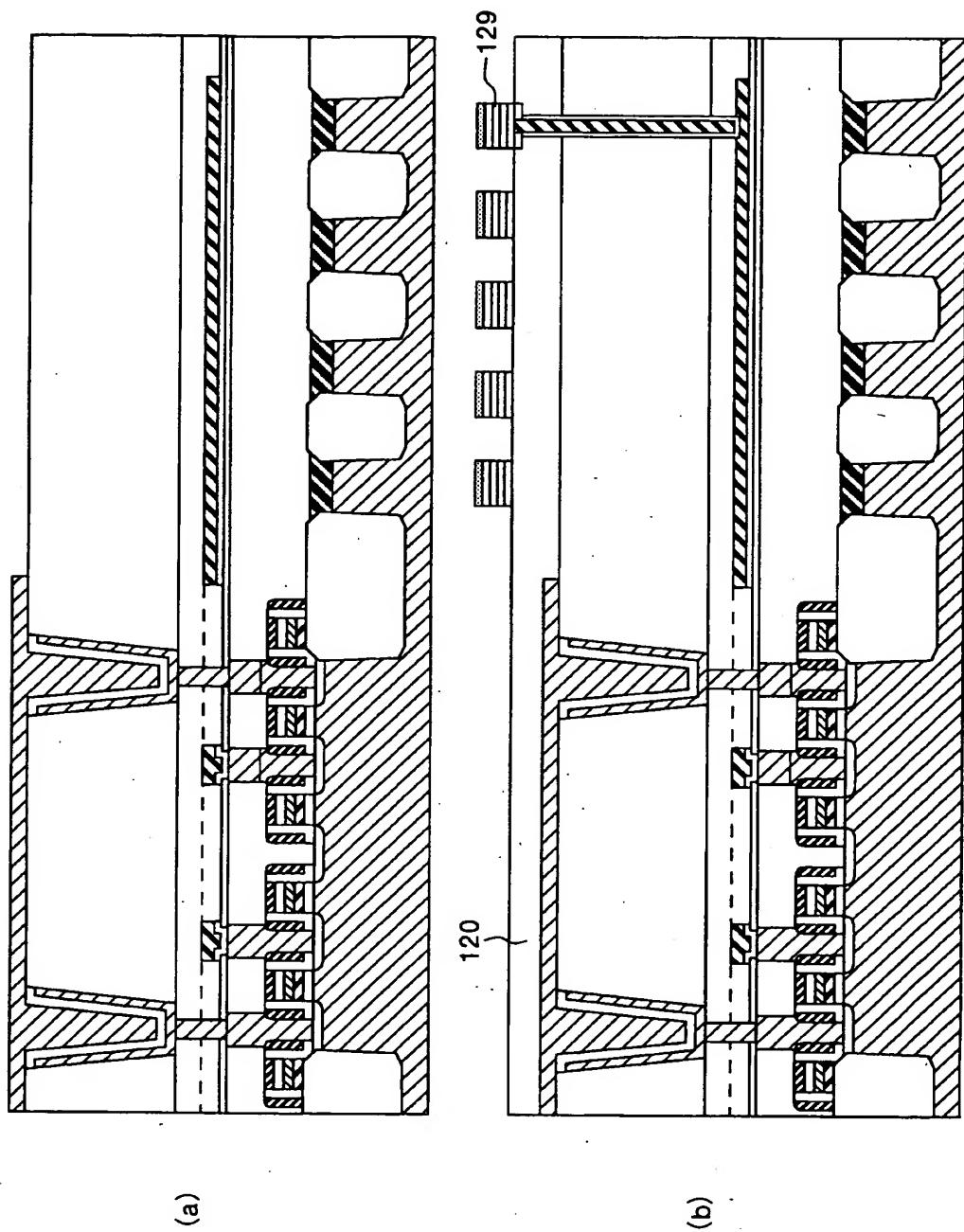
【図3】



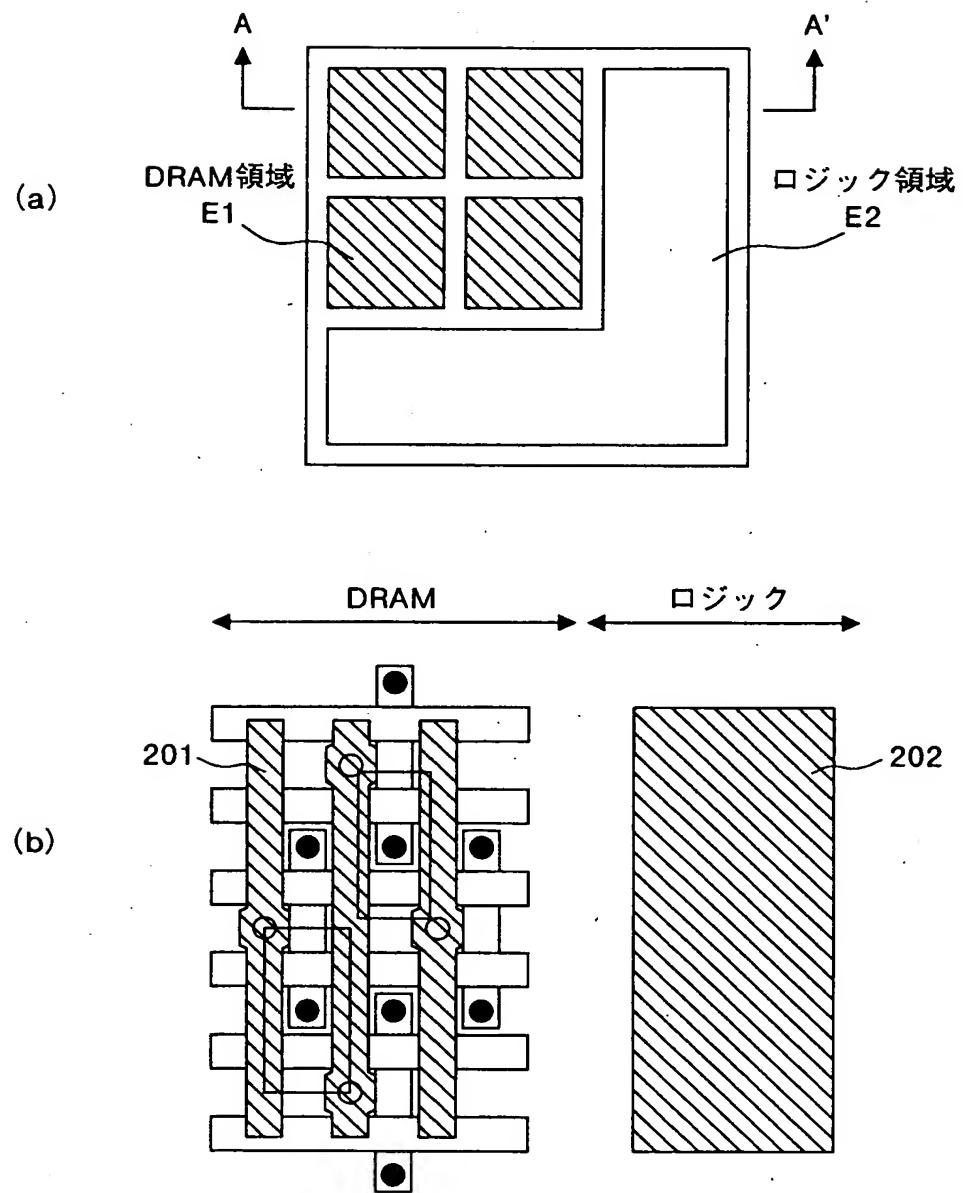
【図4】



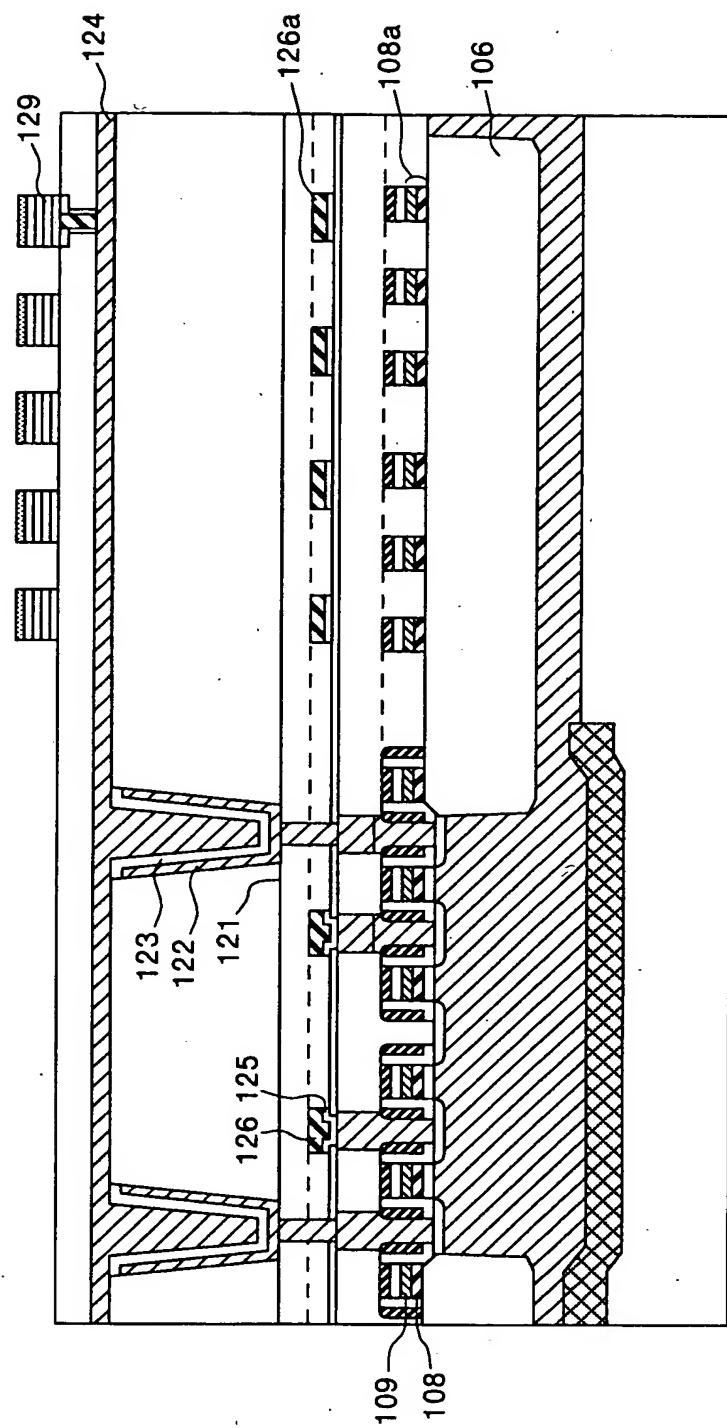
【図5】



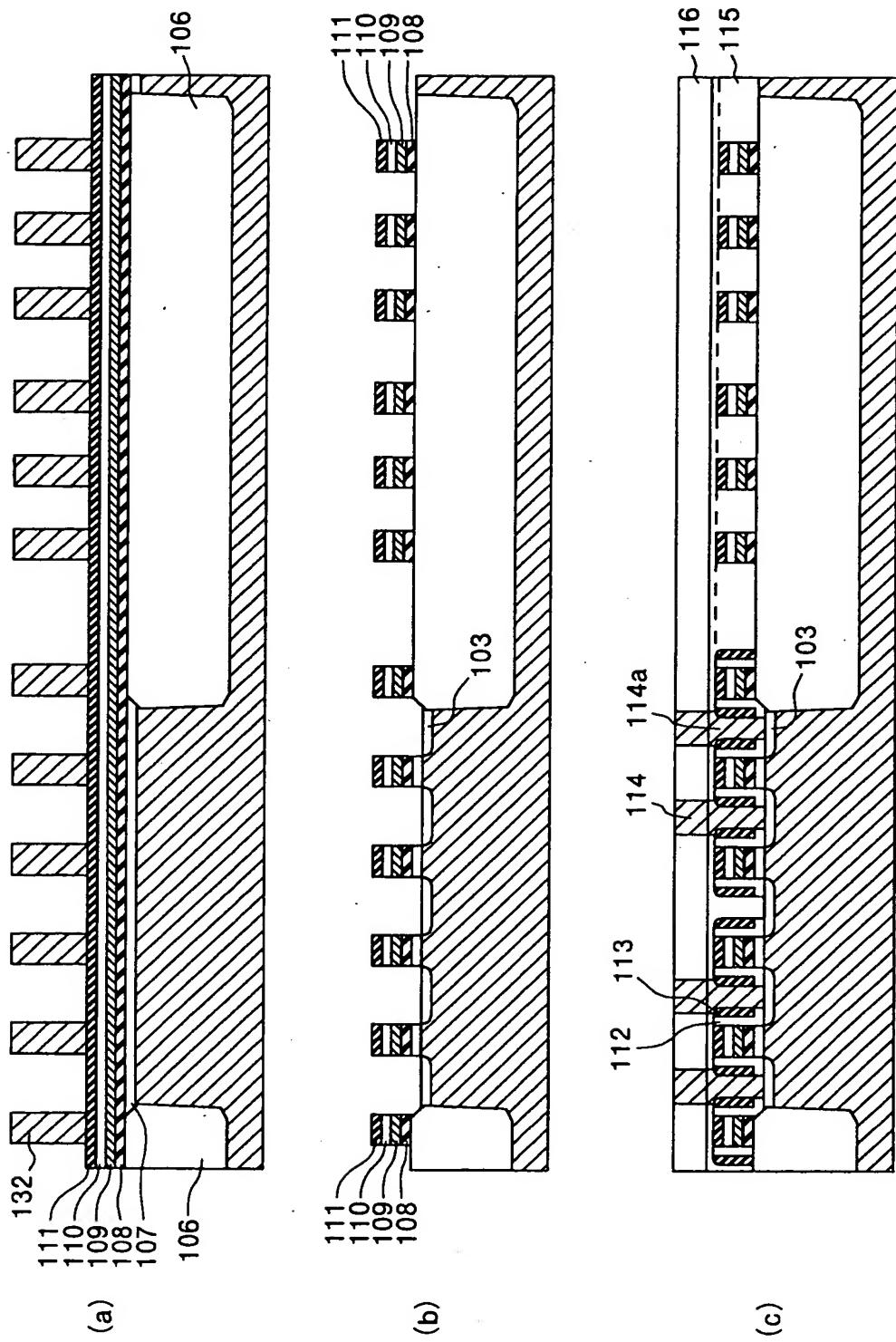
【図6】



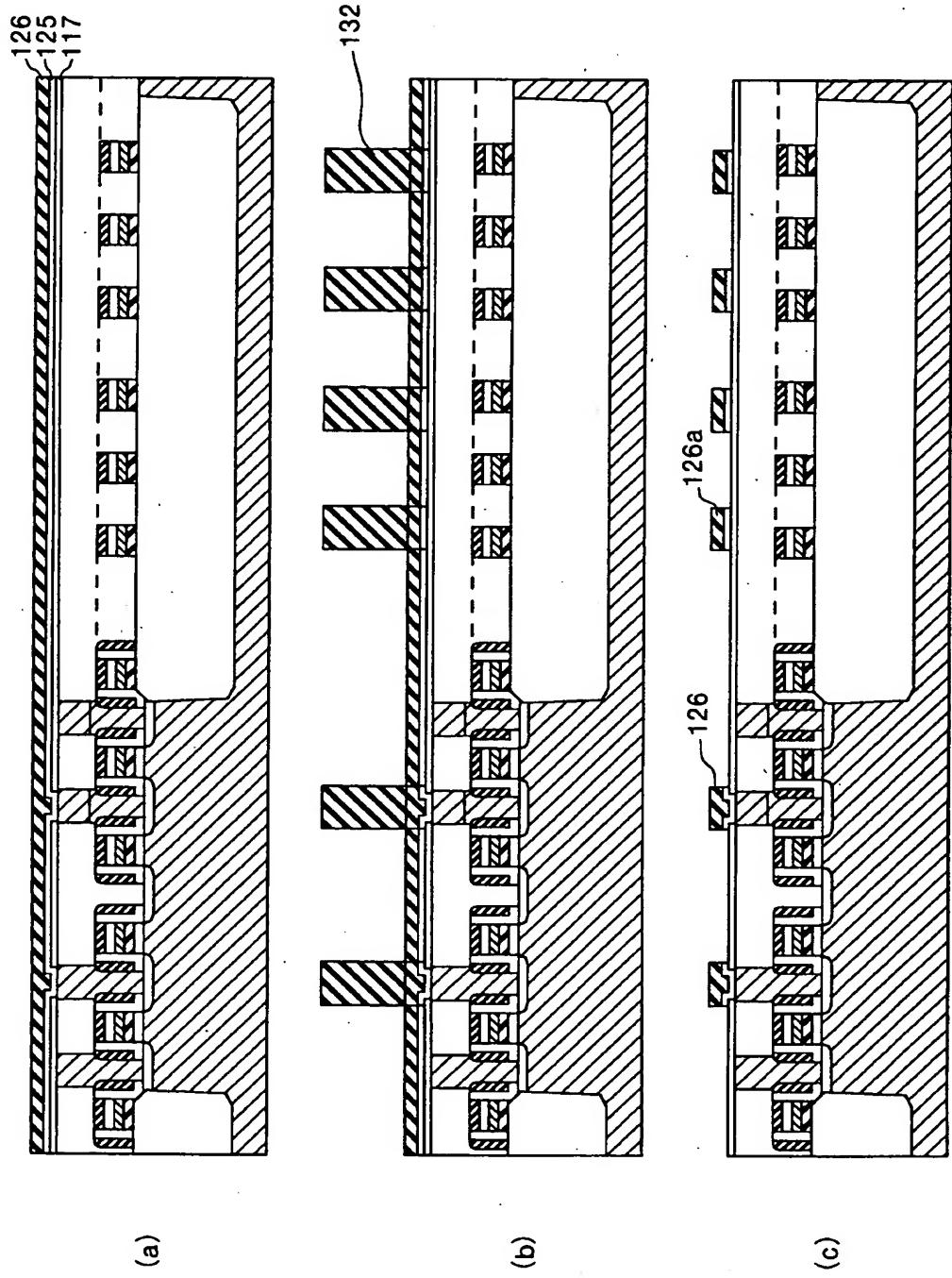
【図7】



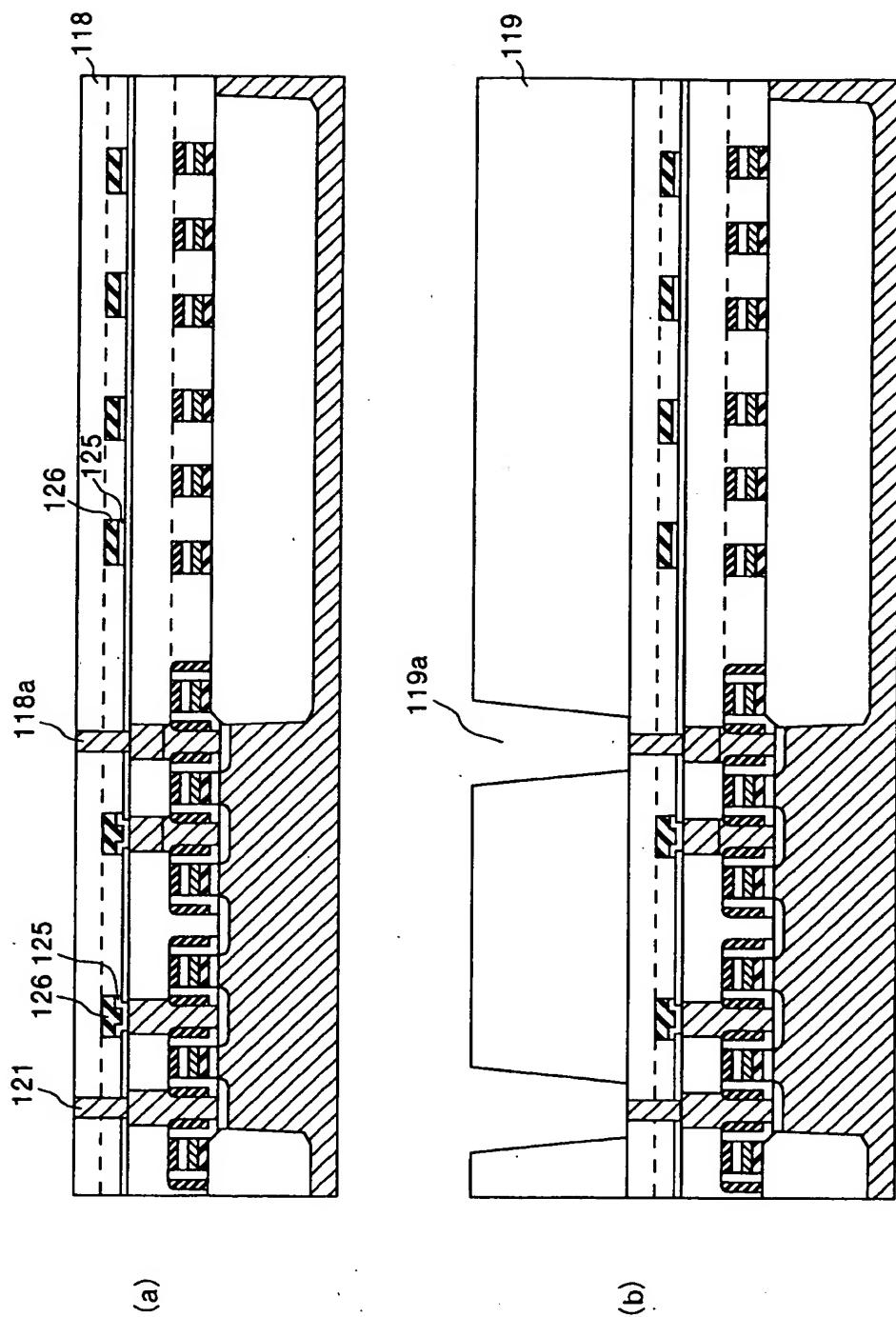
【図8】



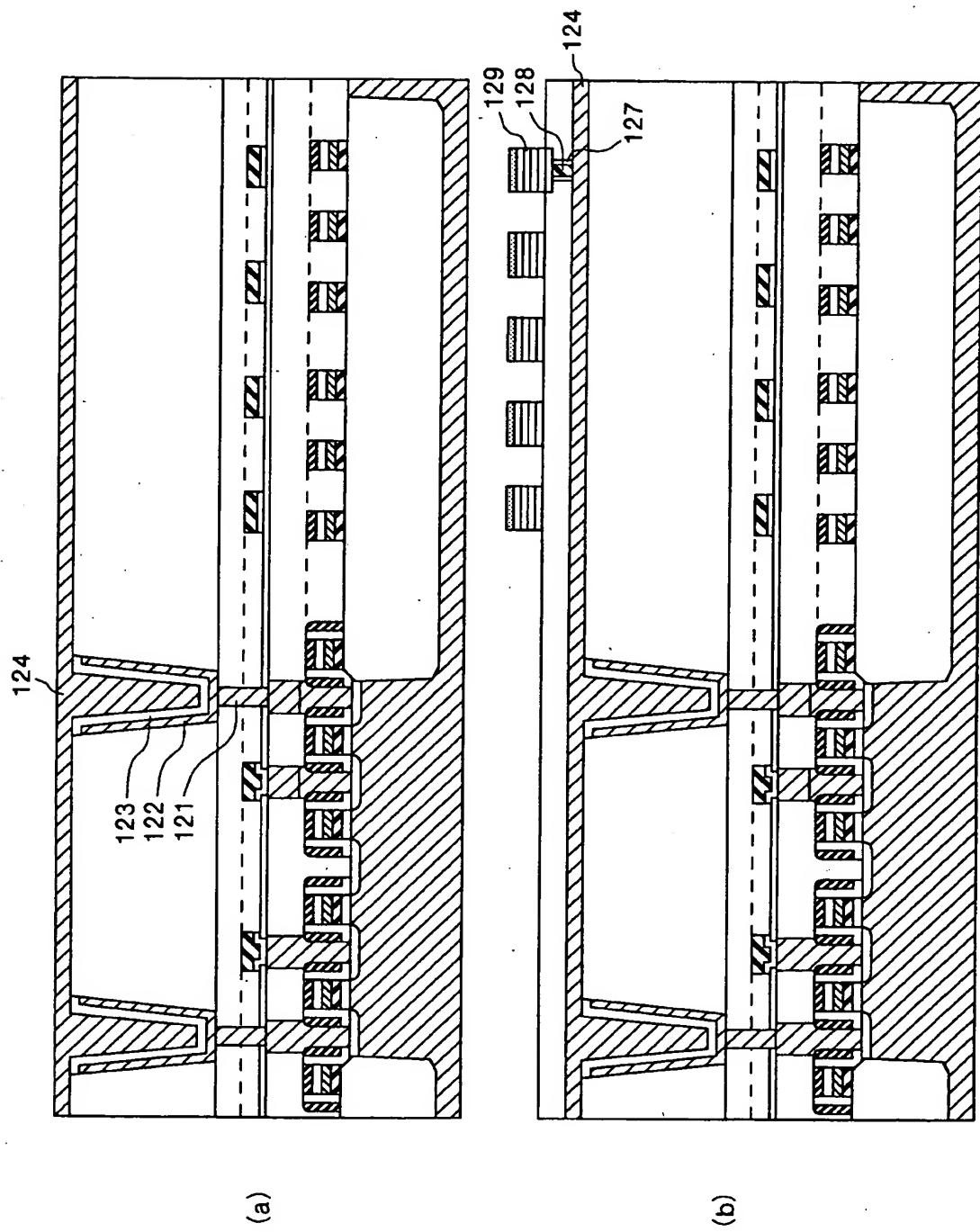
【図9】



【図10】



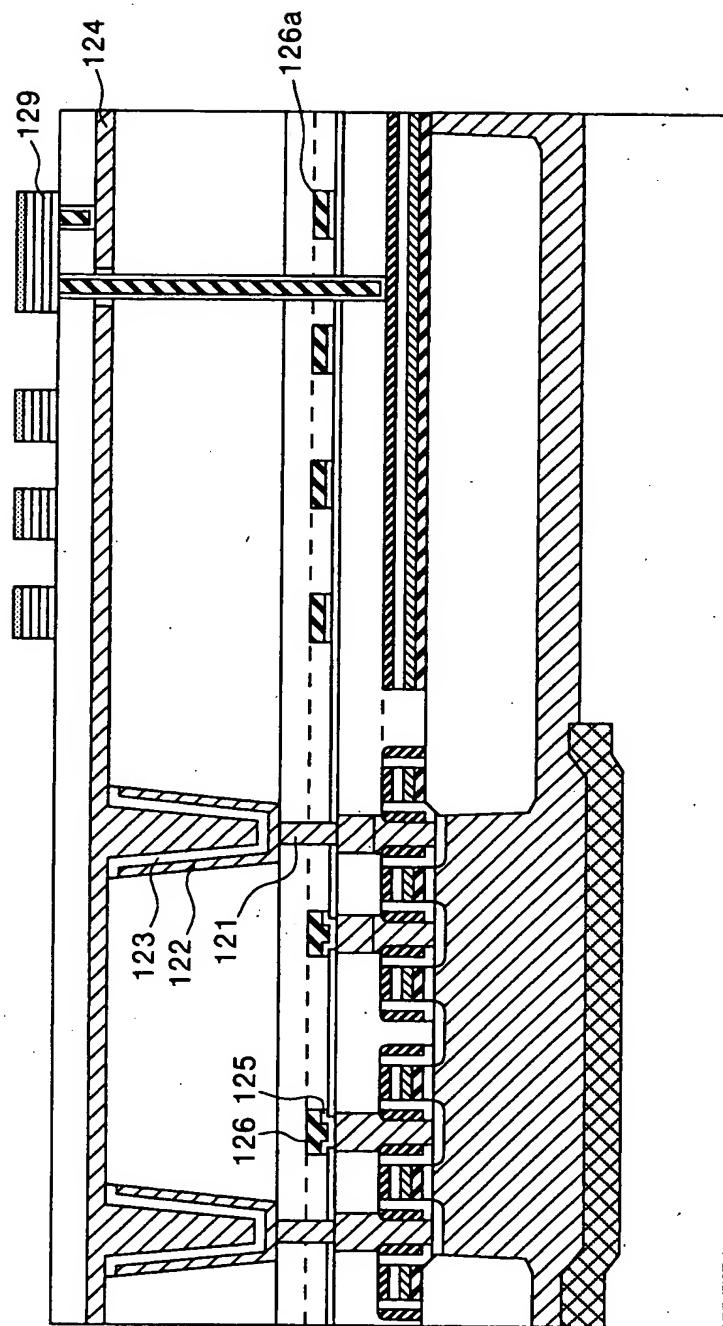
【図11】



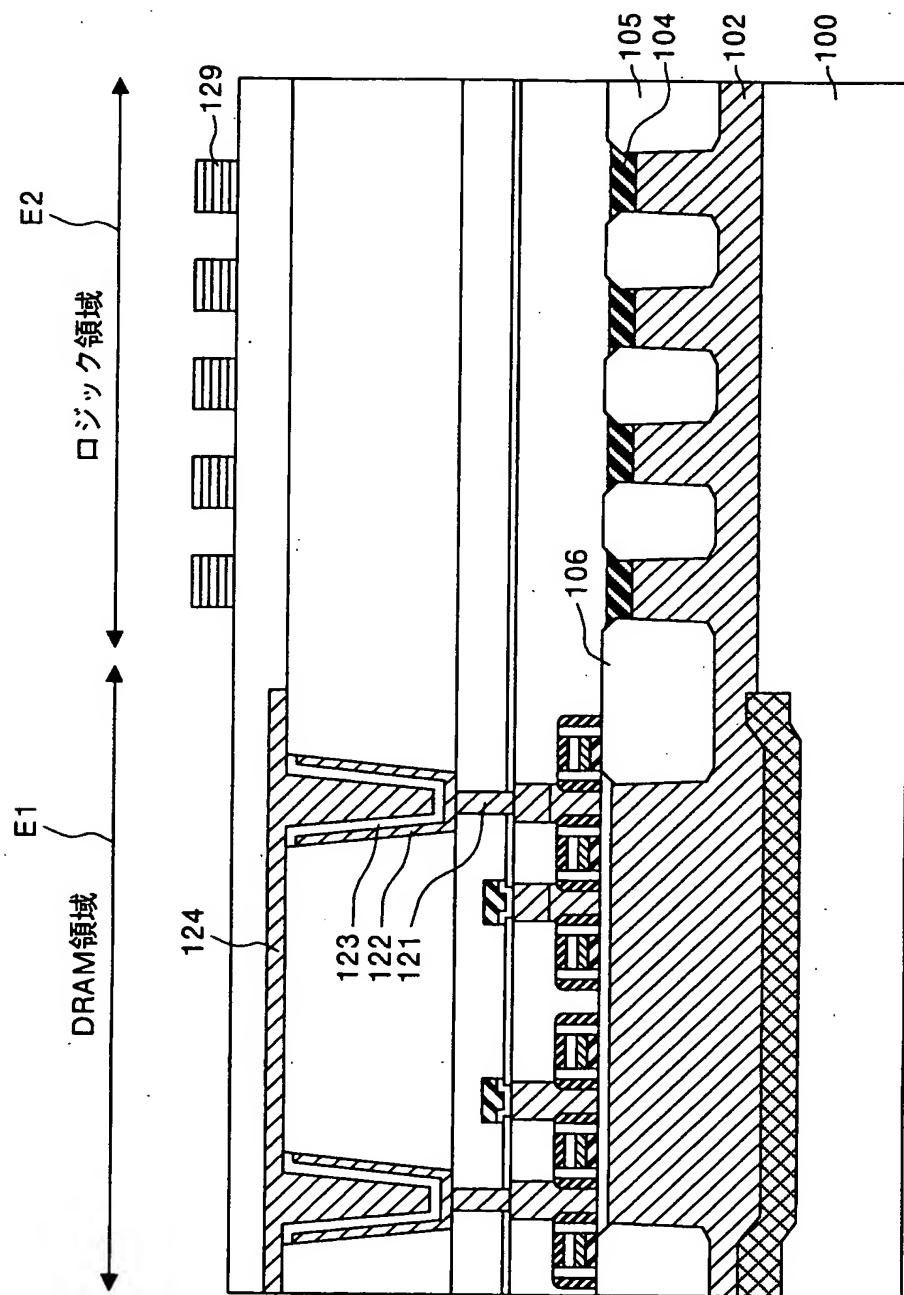
(a)

(b)

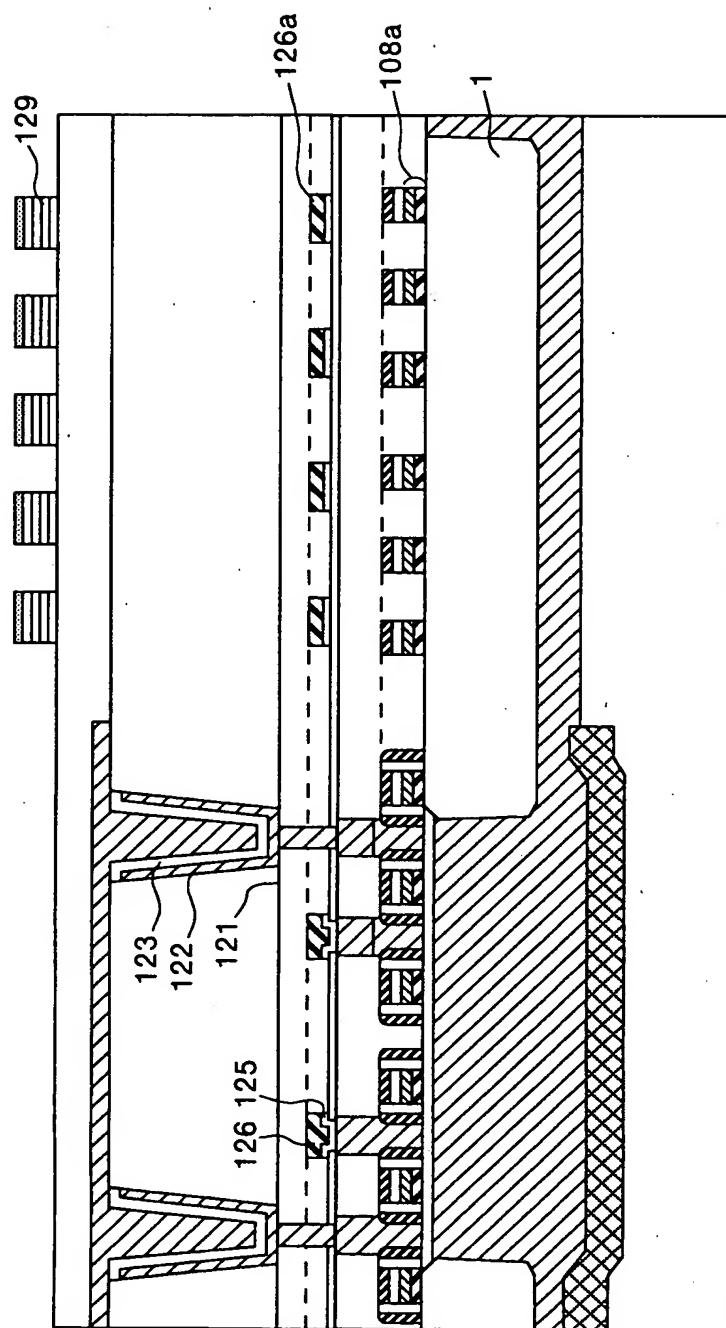
【図12】



【図13】



【図14】



【書類名】 要約書

【要約】

【課題】 抵抗素子群内での抵抗値の相対的変動を防止し、信号配線の上層または下層の配線パターンからの影響による配線容量（浮遊容量）の変動を防止できること。

【解決手段】 半導体基板上に抵抗素子群および／または信号配線層を有する半導体装置において、前記抵抗素子群および／または信号配線層の上層および／または下層にシールド層を設ける。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社